

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-276033

(43)Date of publication of application : 06.12.1986

(51)Int.Cl.

G06F 9/44

(21)Application number : 60-119036

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
SANYO ELECTRIC CO LTD  
MITSUBISHI ELECTRIC CORP  
SHARP CORP

(22)Date of filing : 31.05.1985

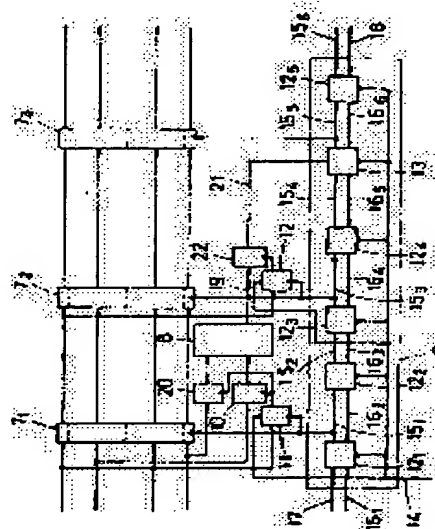
(72)Inventor : TERADA HIRONORI  
ASADA KATSUHIKO  
NISHIKAWA HIROAKI  
ASANO HAJIME  
SHIMIZU MASAHISA  
MIURA HIROKI  
SHIMA KENJI  
KOMORI NOBUFUMI  
MIYATA SOICHI  
MATSUMOTO SATOSHI

## (54) DATA PROCESSING DEVICE

## (57)Abstract:

**PURPOSE:** To execute the selective deleting processing of a data packet by stopping the giving and receiving of a data packet in which data packet conditions are established between two adjoining pipeline registers.

**CONSTITUTION:** After the first word is latched to a pipeline register 72, the input of the second word of the data packet can be executed, and by the same method as that of the first word, the second word is latched to a pipeline register 71. The data packet advances in registers 71W73, and when a signal 21 is '1', by the action of a control element 13 for deleting the selective data, while a signal 155 is '0' as it is for the first and second words, a response signal 165 is changed so as to request the next data input. Consequently, the data packet is essentially deleted without being latched by the register 73. When the signal 21 is '0', the control element 13 executes the same action as control elements 121W125, and therefore, the inputted data packet is outputted to the outside after it is latched to the register 73 without being deformed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-276033

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)12月6日

G 06 F 9/44

B-8120-5B

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 データ処理装置

⑯ 特 願 昭60-119036

⑰ 出 願 昭60(1985)5月31日

⑱ 発 明 者	寺 田 浩 昭	吹田市山田西3丁目52番地 千里一条池B-803
⑱ 発 明 者	浅 田 勝 彦	尼崎市東難波町4丁目11番4号
⑱ 発 明 者	西 川 博 昭	吹田市江坂町1-12番55-1002号
⑱ 発 明 者	浅 野 一	豊中市庄内幸町2丁目2番27号
⑱ 発 明 者	清 水 雅 久	門真市下馬伏271番地
⑰ 出 願 人	松下電器産業株式会社	門真市大字門真1006番地
⑰ 出 願 人	三洋電機株式会社	守口市京阪本通2丁目18番地
⑰ 出 願 人	三菱電機株式会社	東京都千代田区丸の内2丁目2番3号
⑰ 出 願 人	シャープ株式会社	大阪市阿倍野区長池町22番22号
⑱ 代 理 人	弁理士 宮井 暎夫	

最終頁に続く

#### 明 細 書

##### 1. 発明の名称

データ処理装置

##### 2. 特許請求の範囲

データバケット消去条件の成立・不成立を決定するためのデータを含むデータバケットを順次移送するパイプラインレジスタ群と、このパイプラインレジスタ群を進行するデータバケット中の前記データバケット消去条件の成立・不成立を決定するためのデータからデータバケット消去条件の成立・不成立を検出するデータバケット消去条件成立検出部と、このデータバケット消去条件成立検出部による検出結果に基づきデータバケット消去条件の成立時に前記パイプラインレジスタ群のうちの隣接する2個のパイプラインレジスタ間におけるデータバケット消去条件の成立したデータバケットの授受を停止させる制御回路とを備えたデータ処理装置。

##### 3. 発明の詳細な説明

産業上の利用分野

この発明は、データフロー制御方式の計算機(データフロー計算機)において、条件付分岐の処理を行うためにデータバケットの選択的消去処理を行うデータ処理装置に関するものである。

##### 従来の技術

条件付分岐は基本的な演算処理の一つであり、特に数値データの大小関係による分岐は多用される。例えば第4図はデータフロー計算機で実行するデータフローグラフの例であり、 $i f (A > B) X = A * A \quad ; \quad ; \quad ; \quad X = B * B$  のプログラムの例である。

第4図を用いて条件付分岐の処理方法を説明する。第4図の1が大小比較を行う判断子であり、本例では $A > B$ なる時にはこの判断子ノードより出力する制御データ2を「真」とし、 $A > B$ ならざる時は制御データ2を「偽」とし、真ゲート(T-GATE)3と偽ゲート(P-GATE)4のそれぞれの右側入力部に送出する。真ゲートの働きは、その右側入力部に入力する制御データが「真」の時には、左側入力部に入力するデータ

をそのまま出力し、「偽」の時には左側入力部に  
入力するデータを吸収し何も出力しない。即ち、  
「偽」の場合、ハードウェア上ではデータパケッ  
ト（データトークン、または単にトークンという  
こともある）を消去することになる。偽ゲートは、  
真ゲートを論理反転した働きをし、その右側入力  
部に入力する制御データが「偽」の時には、左側  
入力部に入力するデータをそのまま出力し、「真」  
の時には左側入力部に入力するデータを吸収し何  
も出力しない。即ち、真ゲート、偽ゲートの処理  
は共に、制御データの論理値により選択的にデー  
タパケットを消去するハードウェア構成で実現で  
きる。

以上の真ゲートおよび偽ゲートの働きにより、  
判断子1の判断結果に基づき、乗算5と乗算8の  
どちらか一方のみの演算がなされて、所望の計算  
結果Xを得る。

データフロー制御方式における条件付分岐の制  
御方式として、第4図のように判断子と真ゲート  
と偽ゲートを用いる方法は、例えば以下の文献に

おいて提案されている。

プロシーディングス・オブ・ザ・セカンド・ア  
ニユアル・シンポジウム・オン・コンピュータ・  
アーキテクチャ [Proc. of the 2nd Annual Sys-  
posium on Computer Architecture] の掲載論文  
ア・プリリミナリー・アーキテクチャ・フォー・  
ア・ベイシック・データ・フロー・プロセッサ  
[A Preliminary Architecture for a Basic Data  
Flow Processor]

しかし、従来は、真ゲートおよび偽ゲートの処  
理のハードウェア実現法について詳細に述べた文  
献はなかった。従って、その効率的な処理機構の  
構成方法は明らかになっていない。

発明が解決しようとする課題点

データフロー計算機において、条件付分岐処理  
を高速かつ効率的に行うためには、真ゲートおよ  
び偽ゲートの処理を高速かつパイプライン処理方  
式で行うことが必要である。

本発明は、この点に鑑みてなされたもので、簡  
易な構成により、真ゲートおよび偽ゲートの処理

を高速かつパイプライン処理方式で行うデータ処  
理装置を提供することを目的とする。

課題点を解決するための手段

この発明のデータ処理装置は、データパケット  
消去条件の成立・不成立を決定するためのデータ  
を含むデータパケットを順次移送するパイプライ  
ンレジスタ群と、このパイプラインレジスタ群を  
進行するデータパケット中の前記データパケット  
消去条件の成立・不成立を決定するためのデータ  
からデータパケット消去条件の成立・不成立を検  
出するデータパケット消去条件成立検出部と、こ  
のデータパケット消去条件成立検出部による検出  
結果に基づきデータパケット消去条件の成立時に  
前記パイプラインレジスタ群のうちの隣接する2  
個のパイプラインレジスタ間におけるデータパケ  
ット消去条件の成立したデータパケットの授受を  
停止させる制御回路とを備える構成にしたもので  
ある。

作用

本発明は、上記した構成により、データパケッ

ト消去条件成立検出部の検出結果に基づいて制御  
回路がパイプラインレジスタ群のうちの隣接する  
2個のパイプラインレジスタ間におけるデータパ  
ケット消去条件の成立したデータパケットの授受  
を停止させることにより、パイプラインレジスタ  
群の中を進行中のデータパケットを選択的に消去  
するため、簡易な構成で高速かつパイプライン処  
理方式でデータパケットの選択的消去処理を行う  
ことができる。

実施例

第1図は本発明を用いたデータ処理装置の実施  
例の構成図である。第1図において、7<sub>1</sub>~7<sub>3</sub>  
がパイプラインレジスタ、8が消去条件成立検出  
部、9が制御回路、10が命令コードレジスタで  
ある。

以上のように構成された本実施例における選択  
的なデータパケットの消去処理、即ち真ゲートと  
偽ゲートの処理方法を以下に説明する。

まず、データパケットの構成を第2図のような  
2ワード構成のものと仮定して説明を行う。第4

図おける真ゲート3または偽ゲート4の右側入力部に入力する制御データと、同じく左側入力部に入力するデータとは、データフロー計算機に必ず備えられているオペランドデータ待ち合わせ機構において合成され、第2図に示す1つのデータバケットの形で本実施例のデータ処理装置に送られてくるわけである。第1ワードの第2フィールド、即ち命令コードフィールドには、真ゲート処理命令または偽ゲート処理命令のいずれかに対応する命令コードが書き込まれている。上記制御データは第1ワードの第4フィールド、即ち制御データフィールドに書き込まれており、上記データは第2ワードの第2フィールド、即ち左データフィールドに書き込まれている。

従って、真ゲートの処理としては、制御データフィールドが「真」(=「1」)であれば入力してきたデータバケットをそのまま出力し、制御データフィールドが「偽」(=「0」)であれば入力してきたデータバケットを消去し何も出力しないとすれば良い。また、偽ゲートの処理としては、

制御データフィールドが「偽」(=「0」)であれば入力してきたデータバケットをそのまま出力し、制御データフィールドが「真」(=「1」)であれば入力してきたデータバケットを消去し何も出力しないとすれば良い。第1図に示すデータ処理装置は、上記真ゲートおよび偽ゲートの処理を非同期式パイプライン処理方式で実施する例である。

第1図のデータ処理装置の動作を以下に説明する。

まず、本データ処理装置の初期化の方法を説明する。初期化はリセット信号14を「0」にすることで完了する。この時、Dラッチ11、12がリセットされるほか、信号15<sub>1</sub>～15<sub>6</sub>は全て「0」になり、応答信号16<sub>1</sub>～16<sub>6</sub>は全て「1」になる。以上で初期化が完了し、真ゲート処理命令の実行または偽ゲート処理命令の実行を要求するデータバケットの入力を受け付ける準備が終わる。

真ゲート処理命令または偽ゲート処理命令の実

行は、データバケットの入力で始まる。即ち、応答信号16<sub>1</sub>が「1」の時にパイプラインレジスタ7<sub>1</sub>の入力側に外部からデータバケットの第1ワードを入力し、入力要求信号17を「1」にする。この時、制御要素12<sub>1</sub>(通例NollerのC素子と呼ばれる公知の技術)は次段からの応答信号16<sub>2</sub>が「1」であるかを調べ、「1」であれば信号15<sub>1</sub>を「1」にし、応答信号16<sub>2</sub>が「0」であれば「1」になるまで待ったのち信号15<sub>1</sub>を「1」にする。即ち、入力要求信号17と次段からの応答信号16<sub>2</sub>がどちらも「1」の時に限り、信号15<sub>1</sub>を「0」から「1」に変化させる。同様に、入力要求信号17と応答信号16<sub>2</sub>がどちらも「0」の時に限り、信号15<sub>1</sub>を「1」から「0」に変化させる。また応答信号16<sub>2</sub>は信号15<sub>1</sub>を論理反転させた信号である。以上の動作は制御要素12<sub>1</sub>～12<sub>6</sub>について共通である。制御要素12<sub>1</sub>～12<sub>6</sub>の構成例を第3図に示す。信号15<sub>1</sub>が「0」から「1」に変化したことにより、データバケットの第1ワードがパイプ

ラインレジスタ7<sub>1</sub>にラッチされる。このラッチされた第1ワードは、制御要素12<sub>1</sub>、12<sub>2</sub>の同様の動作によって次にパイプラインレジスタ7<sub>2</sub>にラッチされる。この間、Dラッチ11と命令コードレジスタ10の作用により、第1ワード中の命令コードフィールドの内容(即ち命令コード)が命令コードレジスタ10にラッチされ、また同時に第1ワード中の制御データフィールドの内容(即ち制御データ)がDラッチ20にラッチされる。このラッチされた命令コードと制御データを入力として、消去条件成立検出部8は以下の真値値に基づき消去条件成立信号19を出力する。そして、この消去条件成立信号19がDラッチ12の出力によってDラッチ22にラッチされ、信号21となる。

(以下 欠 白)

特開昭61-276033 (4)

命令コード	制御データ	消去条件成立信号
「真ゲート処理命令」	「偽」 (=「0」)	「1」
「真ゲート処理命令」	「真」 (=「1」)	「0」
「偽ゲート処理命令」	「偽」 (=「0」)	「0」
「偽ゲート処理命令」	「真」 (=「1」)	「1」

消去条件成立検出部8はROM (Read Only Memory) またはPLA (Programmable Logic Array)等を用いて構成することができる。

第1ワードがバイブラインレジスタ7<sub>1</sub>にラッチされた後、データバケットの第2ワードの入力が可能となり(この時、応答信号16<sub>1</sub>は「1」)、第1ワードと同様の方法で第2ワードがバイブラインレジスタ7<sub>1</sub>にラッチされる。そして、データバケットはバイブラインレジスタ7<sub>1</sub>～7<sub>5</sub>中を進行して行こうとするが、信号21が「1」の時は、選択的データ消去用制御要素13の作用により、第1ワードに対しても第2ワードに対しても信号15<sub>1</sub>を「0」のままにして応答信号16<sub>1</sub>を

を次のデータの人力を要求するように変化させるので、バイブラインレジスタ7<sub>5</sub>にはラッチされずに、実質上データバケットが消去されたことになる。信号21が「0」の時は、選択的データ消去用制御要素13は、制御要素12<sub>1</sub>～12<sub>5</sub>と同等の動作を行うので、入力したデータバケットは何らの変形を受けることなく一度バイブラインレジスタ7<sub>1</sub>にラッチされた後、本データ処理装置から外部に出力される。選択的データ消去用制御要素13の構成例を第3図例に示す。

以上のようにして、真ゲート処理の場合および偽ゲート処理の場合にそれぞれ対応した選択的なデータバケット消去がなされ、所定の処理機能が果たされる。

以上のように本実施例によれば、バイブラインレジスタ7<sub>1</sub>～7<sub>5</sub>の制御を消去条件成立検出部8の出力に基づき制御回路9が実行することにより、シーケンス制御回路などの複雑な構成要素を用いることなく、簡易な構成で真ゲート処理および偽ゲート処理を非同期方式のバイブライン処理

方式で処理できる。そして、第1図に見られるように、バイブラインレジスタと他のバイブラインレジスタの間のデータ経路には伝搬遅延を生じさせる要因を全く持っていないことから、高速なバイブライン処理が可能となり、その実用的効果は大きい。したがって、データフロー計算機における条件付分岐処理を効率的に行うことができるものであり、その実用的効果は大きい。また、データフロー計算機への応用のみならず、バイブライン処理を行う全ての応用において、選択的にデータあるいはデータバケットの消去を行う用途に使用することができるため、その実用的効果は大きい。

なお、以上は第2図のような2ワード構成のデータバケットについて説明したが、3ワード以上の構成の場合にも1ワード構成の場合にも本実施例は応用可能であり、特に1ワード構成のデータバケットの場合はより簡易な構成で本発明を用いたデータ処理装置が実現できる。

#### 発明の効果

この発明のデータ処理装置は、データバケット

消去条件の成立・不成立を決定するためのデータを含むデータバケットを順次移送するバイブラインレジスタ群と、このバイブラインレジスタ群を進行するデータバケット中の前記データバケット消去条件の成立・不成立を決定するためのデータからデータバケット消去条件の成立・不成立を検出するデータバケット消去条件成立検出部と、このデータバケット消去条件成立検出部による検出結果に基づきデータバケット消去条件の成立時に前記バイブラインレジスタ群のうちの隣接する2個のバイブラインレジスタ間におけるデータバケット消去条件の成立したデータバケットの授受を停止させる制御回路とを備える構成にしたので、簡易な構成により、真ゲート処理、偽ゲート処理などの選択消去処理を高速かつバイブライン処理方式で行うことができる。

#### 4. 図面の簡単な説明

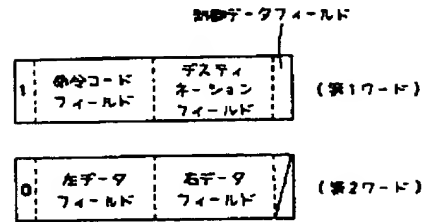
第1図は本発明を用いたデータ処理装置の実施例の構成図、第2図は本発明を用いたデータ処理装置に用いるデータバケットの構成図、第3図は

特開昭 61-276033 (5)

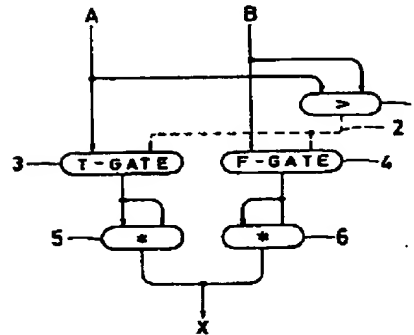
本発明の制御回路の構成要素の構成図、第4図はデータフローグラフの例である。

7<sub>1</sub> ~ 7<sub>3</sub> ... バイアラインレジスタ、8 ... 消去条件成立検出部、9 ... 制御回路、10 ... 命令コードレジスタ、11, 12, 22, 20 ... Dラッチ、12<sub>1</sub> ~ 12<sub>5</sub> ... 制御要素、13 ... 選択的データ消去用制御要素

代理人 弁理士 宮 井 敏 夫

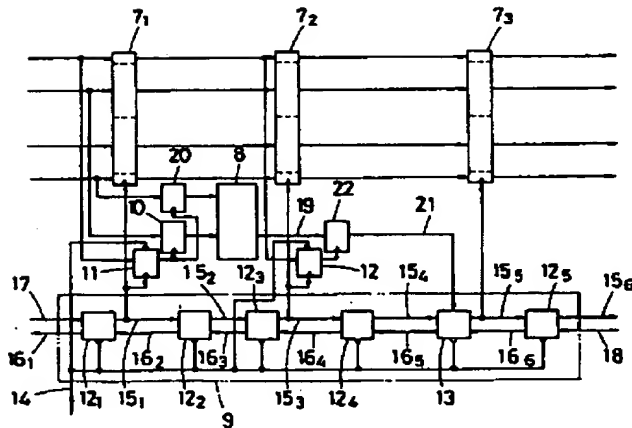


第 2 図

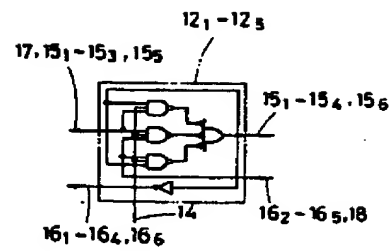


第 4 図

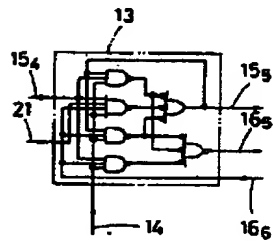
7<sub>1</sub> ~ 7<sub>3</sub> ... バイアラインレジスタ  
8 ... 消去条件成立検出部  
9 ... 制御回路  
10 ... 命令コードレジスタ  
11, 12, 20, 22 ... Dラッチ  
12<sub>1</sub> ~ 12<sub>5</sub> ... 制御要素  
13 ... 選択的データ消去用制御要素



第 1 図



(a)



(b)

図 3

第 1 頁の続き

⑦発 明 者	三 浦	宏 喜	枚方市朝日丘町10番49号
⑦発 明 者	嶋	憲 司	西宮市甲子園町 3 丁目16番411号
⑦発 明 者	小 守	伸 史	伊丹市昆陽字木ノ本14- 7 番地
⑦発 明 者	宮 田	宗 一	奈良県磯城郡三宅町大字屏風17番地88
⑦発 明 者	松 本	敏	奈良県宇陀郡橿原町天満台西 3 丁目30番の 5